先端3次元構造ロジック半導体デバイスの製造・プロセス技術の開発と検証用パイロットライン整備

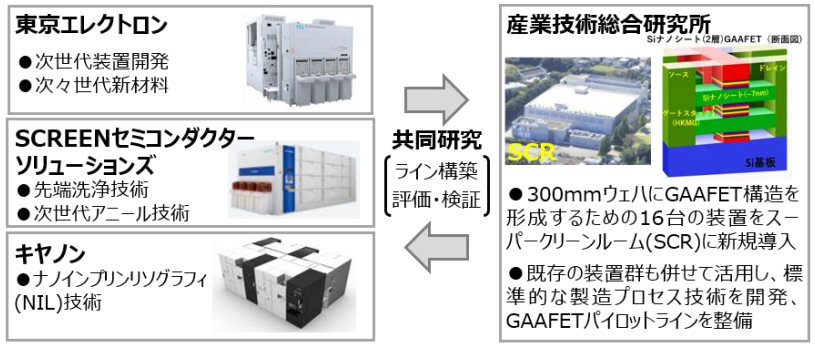
実施者

東京エレクトロン(株)・(株)SCREENセミコンダクターソリューションズ・キヤノン(株)・(国研)産業技術総合研究所

事業概要

2nm世代以降向けのゲートオールアラウンド型トランジスタ（GAAFET）の標準的な製造プロセスを実施者3社に共通の共同研究先である産総研が開発し、企業等が300mmウェハで技術検証を行える共用パイロットラインを構築しました。

GAAFET製造プロセスを構築するために、微細リソグラフィー技術、Siナノシート形成技術、ゲートスタック形成技術、及びこれらのインテグレーション技術を開発しました。

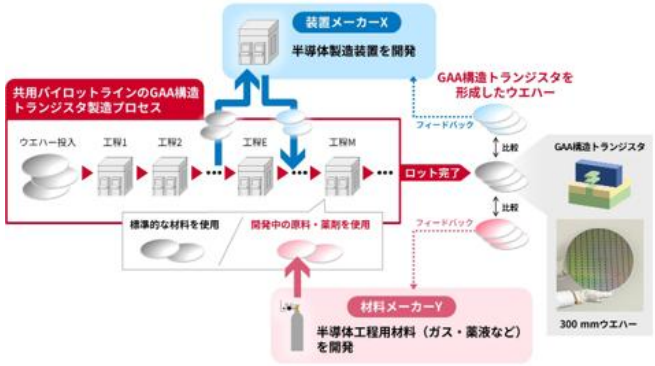


先端半導体製造装置、プロセス技術等を開発

GAAFETプロセスが利用可能な共用パイロットラインを整備・運用

社会実装イメージ

本事業で開発した技術を、コンソーシアムへ入会した企業等が共用パイロットラインで利用できるようにしました。300mmウェハでのGAAFET構造モジュールやデバイスの試作、装置・プロセス・新材料の有効性の検証等を通して半導体関連企業の国際競争力強化に貢献します。



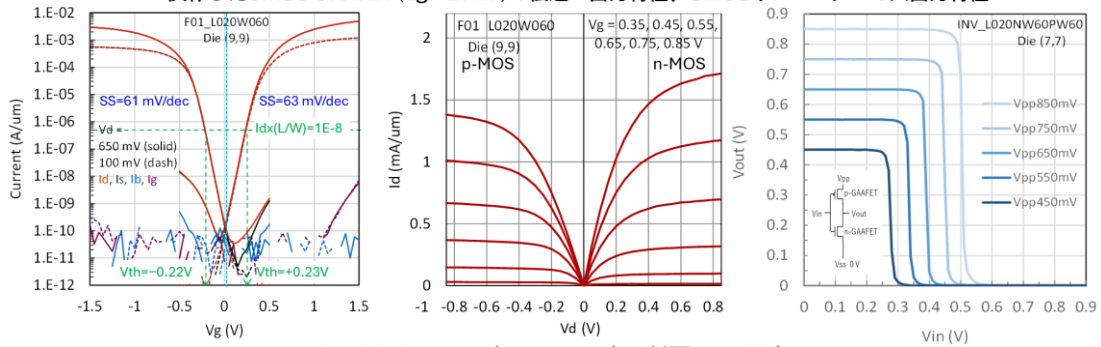
パイロットラインを活用した技術検証例

事業成果

試作したCMOS GAAFETは、低消費電力ロジック回路に求められる、ゲート長(Lg)20nm、電源電圧0.65Vの条件で、オン電流（Ion） 400μA/μm以上、オフ電流（Ioff） 200pA/μm以下、閾値電圧（Vth）+0.2V~+0.25V（n-MOS），-0.2V~-2.5V（p-MOS）、サブスレッショルドスロープ（SS） 68mV/dec以下の目標値を達成しました。加えてCMOSインバーターと発振回路の基本動作も確認しました。

プロセス開発にあたっては、ダブルパターニング技術による微細ゲート加工、Si/SiGeエピタキシャル成長とSiGe選択エッチング、リプレースメントゲートでのHigh-k/Metalゲートスタック形成、デュアルワークファンクションメタルとソースドレイン選択成長によるp-MOS/n-MOS作り分けといったモジュールプロセス構築しました。共用パイロットラインでのこれらのプロセスやインテグレーション技術の先端半導体製造技術コンソーシアムの会員による活用が始まっています。

試作したCMOS GAAFET(Lg＝20nm)の伝達・出力特性、CMOSインバーターの入出力特性



CMOS GAAFET(Lg＝20nm)の断面TEM写真

